

星载 FPGA 内时序电路设计与时钟控制技术分析

杜文志

(北京空间飞行器总体设计部,北京 100094)

摘要 在分析星载 FPGA 内时序电路特性以及 FPGA 可编程资源特性的基础上,指出了 FPGA 内同步时序电路出现时钟偏斜现象的机理。针对时钟偏斜,提出了星载 FPGA 内时序电路的设计准则。基于设计准则,提出了并行移位寄存器的一种异步化设计方法,阐述了在 FPGA 源代码中设置设计约束,或在逻辑综合与布局布线过程中联合设置设计约束,将主要同步时序电路时钟信号布置在全局时钟网络上的方法。工程实践表明:上述方法很好地解决了星载 FPGA 内同步时序电路时钟偏斜问题,可确保星载 FPGA 工作的稳定性与可靠性。

关键词 星载 FPGA 全局时钟网络 时序电路 时钟偏斜

中图分类号:V446 **文献标志码:**A **文章编号:**1673-8748(2008)05-0058-06

Analysis of Designing Sequential Circuit and Controlling Clock in FPGA for Spacecraft

DU Wenzhi

(Beijing Institute of Spacecraft System Engineering, Beijing 100094, China)

Abstract: Mechanism about the clock skew of synchronism sequential circuit has been presented, based on analyzing the characteristics of programmable resources and sequential circuit in FPGA. In order to cope with the clock skew, a design principle of sequential circuit in FPGA for spacecraft has been provided. Based on the design principle, an asynchronous design of parallel shifting register has been described in detail, and two ways have been presented to put clock signals of main sequential circuit on global clock networks by setting constraints in FPGA design code or in FPGA logic synthesis and layout. Results from the application show that the above-mentioned ways can keep the stability and reliability of FPGA for spacecraft working stably and reliably by solving the problem of clock skew completely.

Key words: FPGA for spacecraft; global clock networks; sequential circuit; clock skew

1 引言

大规模的现场可编程门阵列(Field Programmable Gate Array, FPGA)已广泛应用于星载电子设备的电路设计,成为星载专用集成电路(Applica-

tion Specific Integrated Circuit, ASIC)的一种特殊实现形式与手段^[1]。FPGA 主要是由细粒度的时序逻辑单元、组合逻辑单元,以及长短、时延特性各不相同的可编程连线段等可编程资源构成,航天 FPGA 用户就是利用这些可编程资源设计实现星载电子设备的功能电路。正因如此,星载 FPGA 内的时

收稿日期:2008-01-02;修回日期:2008-08-04

基金项目:国家重大科技专项工程

作者简介:杜文志(1967-),男,高级工程师,主要从事航天器遥控设备研制和航天专用集成电路的研究开发工作。

序电路设计与时钟控制要比星载 ASIC 内的更复杂,容易出现时钟偏斜现象,致使电路时序处于临界或紊乱状态。部分电路时序处于临界状态下的星载 FPGA 在常温下也能正常工作,但当其经受了一定剂量的空间辐射后,或正处在高、低温工作条件下,电路时序就有可能突破临界,处于紊乱状态,导致工作异常。这一问题具有隐蔽性,往往在星载电子设备的原理样机研制阶段不出现,却在其工程实施阶段,甚至是在其在轨服务期间表现出来,危害尤为严重。为此,本文结合星载电子设备中反熔丝型 FPGA 内时序电路设计,探讨并提出星载 FPGA 内时序电路设计与时钟控制的一些方法。

2 FPGA 内时序电路设计分析

为了能针对性地提出星载 FPGA 内时序电路设计与时钟控制的方法,首先有必要分析 FPGA 内时序电路特性以及 FPGA 可编程资源特性。

2.1 FPGA 内时序电路特性分析

FPGA 内时序电路由于其时钟驱动方式不同,可分为同步电路和异步电路两大类。这两类电路具有不同的技术特点,适合于设计要求不同的时序电路。FPGA 内时序电路设计不仅要考虑所设计功能电路的特定要求,还要考虑 FPGA 可编程资源的约束,选择性地采用同步电路或异步电路。

计数器,串行/并行移位寄存器,FIFO 等基本

时序功能电路是 FPGA 电路设计中应用最广的时序电路构件。FPGA 内计数器既可以设计成同步电路,也可以设计成异步电路。FPGA 内串行移位寄存器一般设计成同步电路,但也可以间接地设计成异步操作方式。FPGA 内并行移位寄存器认为是由多个串行移位寄存器并联而成的。

2.1.1 FPGA 内同步时序电路

FPGA 内同步时序电路受同一个时钟信号驱动,在时钟信号有效沿到来时刻输出同步变化,输出变化快,能以较高速率工作。但同步时序电路对时钟信号有较严格要求,如果时钟偏斜超出一定范围,电路时序就会处于紊乱状态,导致电路异常工作。

FPGA 内 N 级同步串行移位寄存器原理框图如图 1 所示,每个 D 触发器由一个时序逻辑单元构成,前级 D 触发器的输出驱动后级 D 触发器的输入,时钟信号 CLK 通过不同路径的可编程连线驱动每个 D 触发器的时钟输入。为便于理解时钟偏斜现象,下面以简化的时间模型分析同步串行移位寄存器工作时序,实际工作时序要更复杂些。图 1 中 t_{SD} 为 D 触发器的平均传输时延,其中包括前级 D 触发器输出端到后级 D 触发器输入端的信号传输时延。 Δt_{RDn} 是时钟信号 CLK 到达后级 D 触发器时钟输入端与到达前级 D 触发器时钟输入端的时间差,时钟信号 CLK 如果先到后级,取值为正,如果先到前级,取值为负,绝对值取决于 FPGA 布局布线和工作条件。

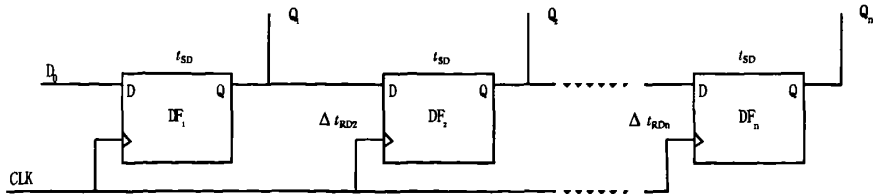


图 1 串行移位寄存器原理框图

Fig. 1 Block diagram of the shifting register

首先分析第一、二级 D 触发器工作时序。如果 $\Delta t_{RD2} \geq 0$, 在有效时钟沿到来时输入数据 D_0 的现态将成为触发器 DF_1 的次态, 触发器 DF_1 的现态将成为触发器 DF_2 的次态, 电路时序协调, 电路正常工作。如果 $\Delta t_{RD2} \leq -t_{SD}$, 那么在有效时钟沿到来时 D_0 的现态将成为触发器 DF_1 次态, 但触发器 DF_1 的次态随后又成为触发器 DF_2 的次态, 电路时序紊乱, 工作异常; 如果 $-t_{SD} < \Delta t_{RD2} < 0$, 那么电路时序处于临界状态, 电路工作可能正常, 也可能异常。后两种情况说明同步时序电路出现时钟偏斜现象。N

级串行移位寄存器其他任何相邻两级 D 触发器都可能存在上述时序关系。

无论是 FPGA 内的同步计数器还是同步移位寄存器, 如果时钟设计与控制不当, 都有可能出现时钟偏斜现象。

一般 ASIC 设计中也采用同步计数器、同步串行移位寄存器等时序电路构件, 但其时钟偏斜问题可以在 ASIC 芯片版图设计中加以解决。例如 ASIC 专业设计人员可利用 ASIC 高端开发平台动态搭建时钟缓冲树, 抑制时钟偏斜现象^[2-3]。

FPGA 设计不同于 ASIC 设计,其布局、布线通常是在一定约束条件下由 FPGA 自动布局布线工具完成的,一般 FPGA 用户要手工控制 FPGA 内所有同步时序电路布局布线仍有较大困难,所以 FPGA 的布局、布线结果具有一定的随机性,较容易出现时钟偏斜现象。

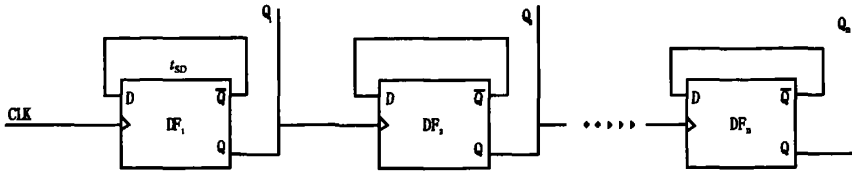


图 2 异步计数器原理框图

Fig. 2 Block diagram of the asynchronous counter

与同步计数器相比,异步计数器电路不会受时钟偏斜的影响。但异步计数器工作时的 D 触发器是逐级出现状态变化的,状态稳定需要时间,级数越多,状态稳定时间越长,所以工作速率较低。

异步计数器的另一个问题是在最终状态稳定前,其输出存在短暂的中间过渡状态。例如 4 比特计数器,在有效时钟沿作用下由现态“1011”过渡并稳定在次态“1100”,但在有效时钟沿后会出现两个瞬态“1010”和“1000”。如异步计数器输出用于驱动组合逻辑,则组合逻辑输出端就有可能出现毛刺。一般可采取触发器滤波方式滤除这些毛刺。

FPGA 内异步时序电路工作速率较低,但可以满足绝大部分星载电子设备电路工作速度要求。因此,一般情况下采用异步电路设计是解决星载 FPGA 内同步时序电路时钟偏斜问题的一条有效途径。

2.2 FPGA 可编程资源特性分析

反熔丝型 FPGA 主要是由时序逻辑单元与组合逻辑单元,可编程连线与全局时钟网络、输入输出单元等构成,部分器件中还嵌入了 SRAM 存储单元等特殊构造单元。

组合逻辑单元经过编程可以实现多输入与非门、与门、或门和或非门中的任何一个。在组合逻辑单元输出端再增加一个锁存器,构成时序逻辑单元。组合逻辑单元和时序逻辑单元在 FPGA 芯片版图上按横、列整齐排列。

可编程连线包括在水平和垂直方向分布的长短不一的连线段。通过编程反熔丝可实现若干段连线的连接,形成信号传输通道网络,连接特定逻辑单元的输入与输出。

2.1.2 FPGA 内异步时序电路

异步时序电路受不同时钟驱动,输出变化是不同步的。FPGA 内 N 级异步计数器原理框图如图 2 所示,每个 D 触发器由一个时序逻辑单元构成,前级 D 触发器的输出驱动后级 D 触发器的时钟输入。

反熔丝型 FPGA 配置若干个全局时钟网络,这些全局时钟网络具有时间偏斜小,扇出系数高的特点,可以为 FPGA 内每个时序逻辑单元提供高质量的时钟信号驱动^[4],可有效抑制时序电路出现时钟偏斜现象。图 3 是一典型反熔丝型 FPGA 数据手册^[5]提供的一个典型全局时钟网络结构示意图。

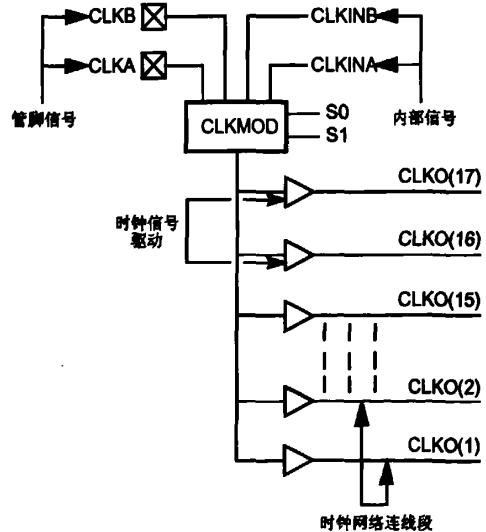


图 3 全局时钟网络结构示意图

Fig. 3 Sketch of the global clock network

每个全局时钟网络有四个信号入口,其中两个分别连接 FPGA 的时钟输入管脚 CLKA 和 CLKB,另两个是 CLKINA 和 CLKINB,分别编程连接 FPGA 的某一内部信号。通过编程全局时钟网络的时钟模式单元(CCLKMOD),允许其中一路信号占用全局时钟网络。

一般 FPGA 内电路会有许多个时钟信号分别

驱动时序逻辑单元的时钟输入,其中较大的要驱动几十,甚至是上百个时序逻辑单元,较小的只驱动一个或几个时序逻辑单元。这些时钟信号或者通过由可编程连线段构成的信号传输通道网络,或者通过全局时钟网络驱动各自的时序逻辑单元。

反熔丝型 FPGA 一般配置一到两个全局时钟网络,个别器件还配置若干个区域时钟网络。所以一般情况下最多只有两个时钟信号能占用全局时钟网络,其他时钟信号只能通过由可编程连线段构成的信号传输通道网络传输。

在由可编程连线段构成的时钟信号传输通道网络中,具体时钟信号传输通道由几根可编程连线段,由哪个位置的可编程连线段构成,一般由自动布局布线工具依据可编程资源的使用情况确定,结果具有随机性。如果 FPGA 内某些同步时序电路只能使用这样的时钟信号传输通道网络,在可编程资源利用率较高的情况下,其构造时序逻辑单元布局较分散,时钟信号传输时延存在较大差异,就容易出现时钟偏斜现象。理论上可以在特定时钟信号传输通道增加信号缓冲器,平衡信号时序,抑制时钟偏斜现象^[6]。但这要求首先进行复杂的时序分析,再依据布局布线结果确定信号缓冲器的位置,工程实现较困难。

3 星载 FPGA 内时序电路设计及时钟控制技术

星载 FPGA 内同步时序电路的时钟信号配置在全局时钟网络上,可有效抑制时钟偏斜现象,但全局时钟网络数目又有限。所以星载 FPGA 内时序电路设计应遵循以下准则:星载 FPGA 内同步时序电路尽可能使用相同的时钟信号,保证所使用时钟信号数目不超过全局时钟网络数目。否则,优先将主要同步时序电路的时钟信号布置在全局时钟网络上,时钟信号未能布置在全局时钟网络上的同步电路则改用异步电路。

如果在 FPGA 的源代码、逻辑综合和布局布线过程中不加约束,FPGA 开发工具就会自动按缺省的优化设计原则控制逻辑综合和布局布线过程,一般会在所有信号中选择扇出系数最大的那路信号占用全局时钟网络,这种情况下 FPGA 内主要同步时序电路的时钟信号就不一定能占用全局时钟网络。

因此,要遵循上述星载 FPGA 内时序电路设计准则,解决 FPGA 内同步时序电路时钟偏斜问题,应在以下两方面开展研究:一是探索一些时序电路

的异步设计技术,二是研究时序电路时钟信号控制技术,将主要同步时序电路时钟信号布置在全局时钟网络上。

3.1 时序电路的异步设计

在满足星载电子设备功能电路工作速度要求的情况下,按异步方式设计 FPGA 内计数器较简便,合理。FPGA 内移位寄存器一般设计成同步移位寄存器,但可通过增加中间缓存的方式,实现异步操作。下面是加密 FPGA 内密钥索引缓存器异步化设计过程。

加密 FPGA 需接收、缓存三字节的密钥索引数据,为此采用同步并行移位寄存器形式设计实现三字节深度的密钥索引缓存器,如图 4(a)所示。 r_1 、 r_2 、 r_3 均为 8 比特宽度的锁存器,其输出分别为 $key_index_r_1$ 、 $key_index_r_2$ 和 $key_index_r_3$ 。密钥索引数据 key_index_data 从 r_1 输入,在写信号 r_shift_clock 上升沿作用下,三字节密钥索引数据依次输入密钥索引缓存器。由于密钥索引缓存器是由 FPGA 内 24 个独立的时序逻辑单元构成的,其时钟信号,也就是写信号 r_shift_clock 是通过由可编程连线段构成的时钟信号传输通道网络传输的,并且可编程资源利用率较高,所以容易出现时钟偏斜现象。

为避免受时钟偏斜的影响,将密钥索引缓存器设计成异步操作方式。为此在 r_1 、 r_2 、 r_3 之间插入两个 8 比特宽度的锁存器 r_{10} 和 r_{20} ,其输出分别为 $key_index_r_{10}$ 和 $key_index_r_{20}$,如图 4(b)所示。 r_1 、 r_2 、 r_3 在写信号 r_shift_clock 上升沿作用下锁存输入端数据; r_{10} 、 r_{20} 在写信号 r_shift_clock 下降沿作用下锁存输入端数据。

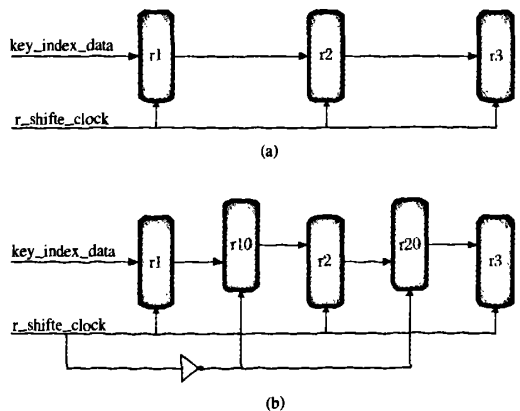


图 4 密钥索引缓存器原理框图
Fig. 4 Block diagram of the encrypting key index buffer

设计成异步操作方式后的密钥索引缓存器工作时序如图 5 所示。由于插入了锁存器 r10 和 r20 进行数据缓冲, r1、r2、r3 在写信号 r_shift_clock 上升沿作用下进行数据锁存操作时刻的前后, 其输入端

数据, 也就是锁存器 r10、r20 的输出保持不变。r1、r2、r3 之间即使出现时钟偏斜现象, 也不会影响电路的正常工作, 三字节密钥索引数据可以稳定可靠地输入密钥索引缓存器。

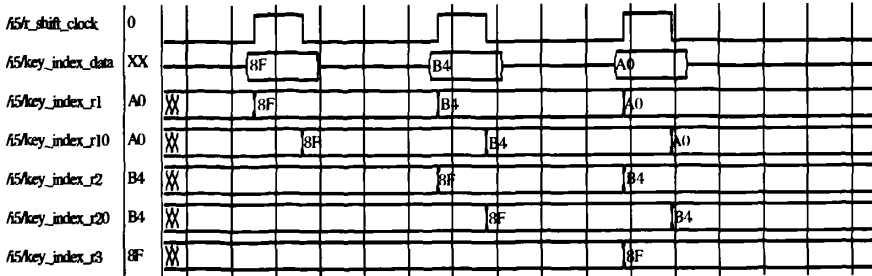


图 5 密钥索引缓冲器工作时序

Fig. 5 Waveforms of the encrypting key index buffer

3.2 控制使用全局时钟网络

为将星载 FPGA 内主要同步时序电路的时钟信号优先布置在全局时钟网络上, 可以在 FPGA 设计的源头——VHDL 源代码中设置约束条件, 也可以在逻辑综合与布局布线过程中联合设置约束条件。

3.2.1 VHDL 源代码设计约束

反熔丝 FPGA 宏单元库中设计有一个基本宏单元 CLKINT, 对应 FPGA 内的一个全局时钟网络。如果在 FPGA 的 VHDL 源代码中指定某个信

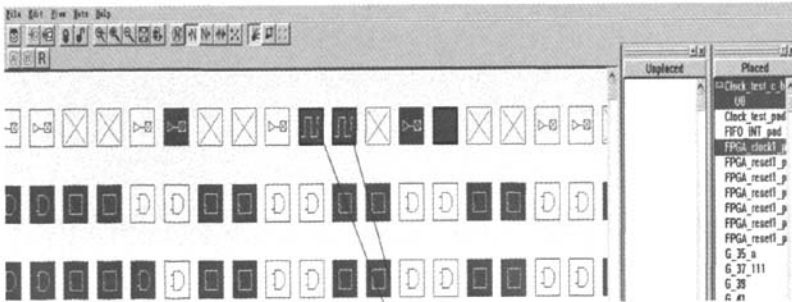
号占用宏单元 CLKINT, 那么在逻辑综合的输出网表文件中就由该信号占用全局时钟网络, 布局布线工具自动将该信号布置并锁定在一个全局时钟网络上。

宏单元 CLKINT 是作为一个元件在 VHDL 源代码中被引用的, 在引用前首先进行如下声明:

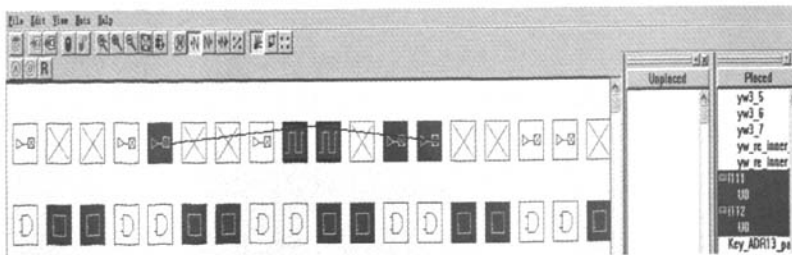
```

COMPONENT CLKINT
PORT ( A : in std_logic;
      Y : out std_logic);
END COMPONENT;

```



(a)



(b)

图 6 FPGA 布局布线示意图

Fig. 6 Sketch of the FPGA layout

下面是加密 FPGA 在 VHDL 源代码中控制使用全局时钟网络的过程。加密 FPGA 分别从时钟管脚 CLKA、CLKB 输入复位信号 FPGA_reset1 和时钟信号 FPGA_clock1, 其中 16MHz 的 FPGA_clock1 信号经 FPGA 内的分频电路分频产生 1MHz 的 FPGA 内工作时钟信号 clock_in, 为 FPGA 内主要同步时序电路提供工作时钟信号。

如果在 VHDL 源代码中不加设计约束, FPGA 开发平台会按缺省优化设计原则, 自动将 clock_in 信号和另一内部信号布置在 FPGA 全局时钟网络上, 其布局布线结果示意图如图 6(a) 所示。图 6(a) 中第一行带方波图形的两个单元是全局时钟网络宏单元 CLKINT, 两条飞线分别代表其输入信号线, 表明此时输入分别来自 FPGA 内部, 而不是时钟管脚 CLKA、CLKB。由于作为 FPGA 内主要同步时序电路时钟信号的 clock_in 布置在全局时钟网络上, 所以 FPGA 内时序电路没有出现时钟偏斜现象, FPGA 稳定工作。

在 VHDL 源代码中增加设计约束, 通过引用宏单元 CLKINT, 可以将时钟管脚 CLKA、CLKB 输入的复位信号 FPGA_reset1 和时钟信号 FPGA_clock1 分别布置在全局时钟网络上, 相关 VHDL 源代码如下:

```

I112 : CLKINT
PORT MAP ( A => FPGA_reset1,
Y => FPGA_reset);
I111 : CLKINT
PORT MAP ( A => FPGA_clock1,
Y => FPGA_clock);

```

在 VHDL 源代码中增加上述设计约束后的布局布线结果如图 6(b) 所示。图 6(b) 中, 信号 FPGA_reset1 和 FPGA_clock1 经 FPGA 时钟管脚 CLKA、CLKB 直接输入 CLKINT, CLKINT 输出信号 FPGA_reset 和时钟信号 FPGA_clock 通过全局时钟网络驱动相应逻辑单元。由于全局时钟网络全部被占用, 内部时钟信号 clock_in 只能通过由可编程连线段构成的信号传输网络驱动主要同步时序电路, 结果出现时钟偏斜现象, FPGA 工作异常。

3.2.2 逻辑综合与布局布线约束

如果不在 VHDL 源代码中指定占用全局时钟网络的时钟信号, 也可以在逻辑综合和布局布线过程中联合设置约束, 将指定的时钟信号配置在全局时钟网络上。

FPGA 常用综合工具 synplify、precision、leo-

nardo 设置综合约束的方式不同, 并随软件版本、运行平台变化。不过设置综合约束的原理基本相同, 当使用综合工具 precision 时具体操作过程分成以下两步。

1) 在综合工具的命令工具语言窗口执行综合约束指令, 或者在综合约束文件中设置约束条件, 禁止综合工具自行分配全局时钟网络。综合约束建立后进行逻辑综合并输出网表文件, 查询此网表文件可以验证全局时钟网络是空闲的。

2) 在布局布线工具中调入网表文件, 在布局布线编辑窗口, 将指定的时钟信号手工布置并锁定在全局时钟网络上, 然后进行自动布局布线。查询布局布线结果可以验证指定时钟信号已按要求配置在全局时钟网络上。

4 结束语

通过对星载 FPGA 内可编程资源特性和 FPGA 时序电路特性的分析, 确定了 FPGA 内同步时序电路出现时钟偏斜的机理。星载 FPGA 内同步时序电路的时钟偏斜问题具有隐蔽性, 危害尤为严重。为此, 首先提出了星载 FPGA 内时序电路的一条设计准则, 然后提出了并行移位寄存器的一种异步化设计方法, 阐述了两种通过设置约束条件将主要同步时序电路时钟信号布置在全局时钟网络上的方法。工程实践表明: 上述方法很好地解决了星载 FPGA 内同步时序电路时钟偏斜问题, 可确保星载 FPGA 工作的稳定性与可靠性。

参考文献 (References)

- [1] 杜文志, 谭维织. 中国航天专用集成电路实现途径研究[J]. 中国空间科学技术, 2002, 22(5): 31-37
- [2] 宋威, 方惠明. 基于 BUFGMUX 与 DCM 的 FPGA 时钟电路设计[J]. 现代电子技术, 2006, 29(2): 141-143
- [3] WANG Kui, LIAN Duan, XU Cheng. An approach to make front-end tools aware of clock skew scheduling [C]. Design Automation Conference, 2006 43rd ACM/IEEE, 2006, 7
- [4] Actel Co Ltd. Global clock networks[R]. Application Note, 2004, 1
- [5] Actel Co Ltd. 40MX and 42MX families; v6. 0. [DB/OL]. [2005-08-05]. http://www.actel.com/documents/MX_X_df
- [6] Actel Co Ltd. Clock skew and short paths timing[R]. Application Note, 2004, 3

(编辑: 李多)