全国大学生嵌入式芯片与系统设计竞赛'2026

FPGA 创新设计赛道选题指南

（易灵思）

目录

一、公司介绍 3

二、参赛技术平台 3

三、选题方向 4

【赛题一】AI 赋能的「实时绘画」——风格化视频渲染系统 4

【赛题二】基于 RISC-V 与 FPGA 异构架构的 2D 图形渲染加速引擎 7

【赛题三】多模态 AI 智能终端 9

【赛题四】基于 FPGA 的实时图像边缘检测系统 12

【自由选题】基于易灵思 FPGA 的开放创新设计 18

四、开发板获取途径 21

五、技术支持与技术资源 21

一、公司介绍

易灵思（Efinix）是一家专注于可编程逻辑器件的半导体公司，致力于为边缘计算、机器视觉、工业控制、消费电子等领域提供高性能、低功耗、小尺寸的 FPGA 芯片与配套开发工具。其 Titanium™ 系列 FPGA 采用先进工艺制程，集成高速 MIPI D-PHY 硬核、丰富的 DSP 与片上存储资源，并支持 Sapphire™ RISC-V 软核 SoC，可实现高效的软硬件协同设计。

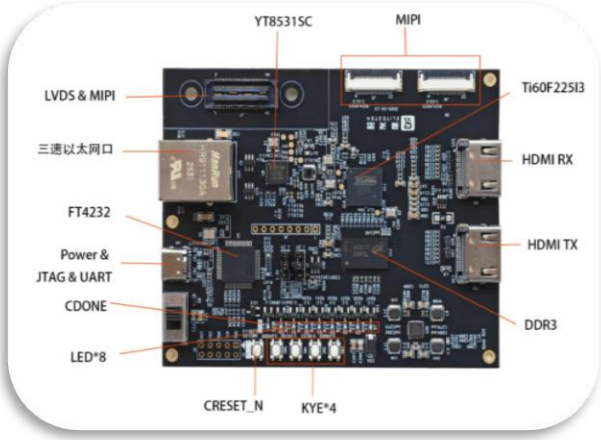
本次竞赛指定平台基于易灵思 Titanium 系列 Ti60F225 FPGA 芯片，搭配 Efinity® 集成开发环境，参赛队伍可完成从图像采集、硬件加速处理到高清显示输出的完整嵌入式视觉系统设计，充分锻炼数字逻辑设计、异构计算与系统集成的综合能力。

二、参赛技术平台

为保证竞赛公平、统一，并便于组委会提供准确的技术指导与资源支持，建议参赛队伍使用推荐的开发板平台参赛，对应的参考案例在固定的开发板平台完成验证，使用推荐以外的开发板平台可能出现参考案例无法直接运行的情况。具体平台要求如下：

【参赛平台要求】

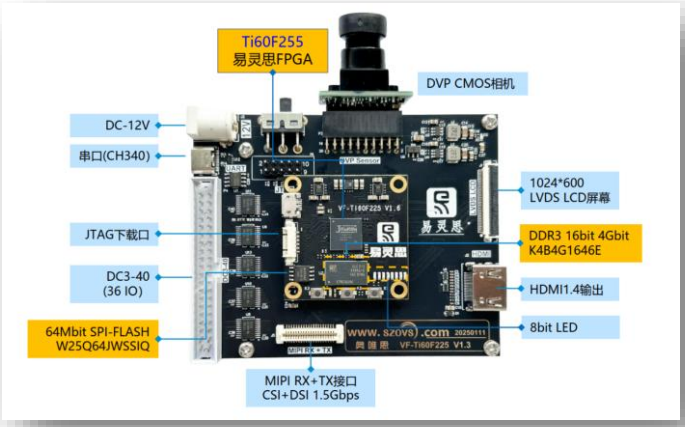
基于 Ti60F225I3 芯片的 Ti60F225 开发板



硬件接口：标配 MIPI CSI-2 图像输入、HDMI 音视频输出、高速 DDR3 存储及千兆以太网接口。

推荐使用摄像头：SC431HAI

基于 Ti60F225 芯片的 VF-Ti60F225 开发板（限赛题四和自由选题使用）



硬件接口：1 路 HDMI 显示，1 路 LVDS LCD 接口，1 路 DVP 相机接口，1 路 MIPI RX+TX 接口。

三、选题方向

【赛题一】AI 赋能的「实时绘画」——风格化视频渲染系统

【赛题背景】

随着边缘计算与 AI 生成内容（AIGC）技术的发展，实时视频风格化已成为计算机视觉领域的热点应用。然而，传统方案依赖云端 GPU 或高端 AI 芯片，难以在低功耗、低成本边缘设备上实现低延迟、高吞吐量的视频流处理。

本赛题要求参赛队伍基于 RISC-V + FPGA 异构平台，设计一个轻量化神经网络硬件加速器。利用 FPGA 的并行流水线架构，将风格迁移网络（如简化版 CycleGAN、Fast Neural Style 或轻量化 CNN）完全或部分硬件化，实现对实时视频流的逐帧风格化处理。RISC-V 仅负责摄像头采集配置、视频流格式转换、UI 叠加等高层控制逻辑，从而构建一个低延迟、低功耗、高帧率的边缘 AI 视频处理系统。

【任务说明】

参赛队伍需设计并实现一个完整的实时视频风格化系统。系统通过 MIPI CSI-2 接口采集摄像头视频流，在 FPGA 中完成轻量化风格迁移网络的推理加速，将每一帧图

像转换为指定艺术风格（如梵高、浮世绘、水墨画等），最终通过 HDMI 输出处理后的视频流。RISC-V 端需实现 UI 叠加功能，可同时显示原画与风格画对比视图。

【基础要求】

本部分考察学生对视频接口、神经网络硬件加速基础以及软硬协同设计能力的掌握。

1. MIPI 视频流采集与预处理

- 利用 Ti60 FPGA 的 MIPI 高速 I/O 资源，结合 MIPI D-PHY RX IP 和 CSI-2 RX Controller，完成 CSI-2 摄像头接入。（SC431HAI）。
- FPGA 端需实现 MIPI CSI-2 协议解析、RAW 转 RGB（如 debayer 算法）、图像缩放（Resize）至目标分辨率（最低要求：640×480 @ 30fps）。
- 实现双缓冲（Ping-Pong Buffer）机制，将预处理后的帧存入外部 DDR 存储器，确保数据流不丢帧。

2. 轻量化风格迁移网络的硬件加速器设计

- 选择一个轻量化风格迁移网络（参考：简化版 CycleGAN、Fast Neural Style、或自行设计的微型 CNN）。
- FPGA 端需为该网络设计一个**硬件加速器**，至少实现：
  - 卷积层（Convolution）硬件化，支持 3×3 或 5×5 卷积核。
  - 激活函数（如 ReLU）硬件化。
  - 批归一化（Batch Normalization）或实例归一化（Instance Normalization）的硬件近似计算。
- 加速器需通过系统总线（如 AXI4）从 DDR 读取输入图像块，经流水线处理后写回结果帧。

3. HDMI 视频输出与软硬件协同

- 生成标准 HDMI 时序（最低要求 720p @ 60fps 或 1080p @ 30fps），从 DDR 读取风格化结果帧并输出至显示器。
- RISC-V 端需编写 C 语言驱动，完成：
  - 摄像头初始化与寄存器配置。

- 风格迁移网络权重的加载与部署。
- 硬件加速器的任务调度（启动、等待完成、中断处理）。

- 实现**原画 vs 风格画对比显示**：屏幕左侧显示原始摄像头画面，右侧显示风格化后画面（或通过按键切换全屏模式）。

4. 基础 Demo 与性能验证

- 提供一个基础测试 Demo，展示实时风格化效果。
- 在屏幕上叠加显示当前帧率（FPS），要求稳定达到 **15fps 以上**（640×480 分辨率）。

【高阶挑战】

本部分考察对神经网络优化、多风格切换、高吞吐量流水线设计的深度理解。

1. 多风格实时切换

- 在 FPGA 内预置至少 2 种不同风格的网络权重（如梵高风格、浮世绘风格、水墨风格）。
- RISC-V 端可通过按键或串口指令，在**不重启系统、不重新配置 FPGA** 的前提下动态切换当前风格。
- 风格切换延迟应低于 100ms，且切换过程不丢帧。

2. 分辨率与帧率提升

- 将处理分辨率提升至 **1280×720 @ 30fps** 或更高。
- 需对硬件加速器进行**流水线深度优化**（如层间融合、行流式处理），减少对 DDR 的中间结果读写次数。
- 鼓励使用 **DSP 块** 实现高效的卷积计算（如脉动阵列、权重固定流）。

3. 超轻量化网络自设计

- 鼓励队伍自行设计或剪枝一个**网络参数量小于 500KB** 的超轻量化风格迁移网络。
- 需提交网络结构图、参数量统计表，并与标准网络（如简化版 CycleGAN）进行**画质（PSNR/SSIM）与推理延迟**的对比分析。

4. 创意交互展示

- 在基础对比视图之外，增加趣味交互功能。例如：
  - 语音控制切换风格。
  - 手势识别（如挥手）触发特殊滤镜效果。
  - 将风格化画面实时推流至手机 APP（通过 WiFi 模块）。
- 鼓励录制 **“抖音/B 站风格”展示短视频**，作为附加材料提交。

【给参赛者的技术提示】

1. **MIPI 内置 IP 优先**：使用易灵思芯片内置的 MIPI D-PHY RX IP 和 CSI-2 RX Controller 进行 CSI-2 采集，可大幅降低外部电路复杂度。
2. **网络轻量化策略**：建议优先考虑 **U-Net 极小版**、**Fast Neural Style 的 1/4 通道版本**，或直接使用 **二值/三值神经网络（BNN/TNN）** 简化乘法器需求。
3. **流水线设计关键**：避免“整帧输入→整帧输出”的宏流水线，应采用**行流水线**（Line-based Pipeline），一行图像数据经卷积、归一化、激活后直接输出，极大减少 DDR 访问次数。
4. **画质与速度的平衡**：不必追求与云端大模型完全一致的画质，体现“边缘实时性”比“极致画质”更重要。端侧 AI 的产业应用更关注流畅度与低延迟。
5. **展示效果最大化**：建议对着**彩色图案、人脸或风景画**进行展示，风格化前后对比会更明显。若能做到**挥手切换风格**，现场互动效果极佳。

【赛题二】基于 RISC-V 与 FPGA 异构架构的 2D 图形渲染加速引擎

【赛题背景】

在早期的 2D 游戏机和现代嵌入式 GUI 系统中，如果完全依靠 CPU 通过死循环逐个像素搬运来实现图像的渲染，会极大占用 CPU 资源并导致帧率（FPS）骤降。现代计算架构的核心趋势是“异构计算与软硬件协同设计（HW/SW Co-design）”。

本赛题要求参赛队伍基于 RISC-V + FPGA 异构平台，设计一个定制的硬件 2D 渲染加速器。将 RISC-V 从繁重的像素搬运工作中解放出来，RISC-V 仅负责高层逻辑与下发指令，由 FPGA 硬件端完成底层像素的高速搬运与混合。

【任务说明】

参赛队伍需在 RISC-V 端运行游戏或图形界面逻辑，并在 FPGA 端设计一个通过标准总线（如 AXI4 / Wishbone）挂载的 2D 硬件加速引擎（BitBlt Engine）。系统需能够将内存（DDR/SDRAM）中的图像数据高效搬运至显存（Framebuffer），并最终通过 VGA/HDMI 接口输出至显示器。

【基础要求】

本部分考察学生对总线协议、视频时序以及软硬接口的基础掌握能力。

1. **硬件 2D 位块传输（BitBlt）引擎设计：**
   - FPGA 端需实现解析 RISC-V 发送的渲染指令（指令需包含：操作类型、源地址、目的地址、宽度、高度）。
   - 硬件支持基础的“图像块拷贝（Block Copy）”和“纯色填充（Solid Fill）”。
   - 生成标准 VGA/HDMI 时序，将显存内容输出至显示器（最低分辨率要求 640×480 @ 60Hz）。
2. **总线读写与存储器优化：**
   - 加速器必须通过系统总线直接访问内存。要求合理使用突发传输（Burst Transfer）和内部 FIFO 缓存，以提高内存带宽利用率。
3. **软件驱动与基础 Demo：**
   - RISC-V 端需编写 C 语言驱动程序配置寄存器，并实现双缓冲机制（Double Buffering）以避免画面撕裂（Tearing）。
   - 提供一个基础测试 Demo（例如：大量方块的随机移动、多张大图的快速切换），并能在屏幕上实时对比显示“纯软件 CPU 渲染”与“硬件加速渲染”的帧率差异。

【高阶挑战】

要求实现现代 2D 游戏引擎中的高级图层渲染管道。

1. **硬件 Alpha 混合 (Hardware Alpha Blending)：**
   - FPGA 加速器在搬运前景图层（Sprite）时，利用内部 DSP/硬件乘

法器，实时读取背景像素并执行透明度混合计算：输出像素 = 前景像素 * Alpha + 背景像素 * (1 - Alpha)。

2. **颜色键控去背 (Color Keying)：**

   ○ 硬件支持设定“透明色”（如纯品红色）。在搬运图像时，自动跳过透明色像素，实现不规则边缘精灵图（Sprite）的完美渲染。

3. **高负载互动游戏 Demo 演示：**

   ○ 在 RISC-V 上运行一个具有极高同屏元素数量的游戏 Demo（如《吸血鬼幸存者》的简化版或类似《东方 Project》的弹幕射击游戏）。

   ○ 在开启硬件加速（Alpha 混合 + Color Keying）的情况下，挑战保持 60 FPS 稳定运行时的同屏活动元素（Sprite）数量极限。

【赛题三】多模态 AI 智能终端

• 核心场景：智慧康养（室内老人跌倒检测与预测）、智能家居（感知人体位置和体温的智能环境控制）、智能安防（多模态异常行为检测）

• Ti60 亮点：支持 MIPI 摄像头及 I2C 传感器接口，可在 FPGA 内部署 RISC-V 软核，结合 TinyML 轻量级 AI 推理框架，实现人体检测、姿态分析等边缘智能应用；同时可利用 FPGA DSP、片上存储及自定义硬件加速单元对关键 AI 算子进行加速，RISC-V 负责模型调度、多模态数据融合及系统控制。

【赛题背景】

本赛题要求参赛者基于 Ti60 FPGA，构建一个“视觉+红外温度+环境传感”的多模态 AI 智能终端，在本地完成数据采集、融合推理与事件响应，真正实现**低延迟、高隐私、高可靠**的边缘智能。典型应用包括：**室内跌倒检测与预警、智能空调人员跟随控制、非授权区域入侵报警**等。

【赛题要求】

任务 1：多传感器数据采集与 FPGA 预处理

目标：建立多模态传感器的数据采集通路，实现数据预处理和时间对齐。

要求：

通过 MIPI CSI 接口驱动摄像头，完成视频流实时采集，分辨率不低于

720p@30fps。

通过 I2C 接口驱动红外温度传感器（如 MLX90640），实现人体温度分布采集

通过 I2C 接口驱动温湿度传感器（如 SHT30），实现环境温度采集

在 FPGA 内实现数据预处理：滑动平均滤波、异常值剔除、多传感器时间戳对齐

通过 HDMI/LCD 显示各传感器实时数据（视频画面+温度热力图+环境参数叠加显示）

技术要点提示：

多传感器时间对齐：以视频帧时间戳为主时间基准，对红外温度和环境传感器数据进行时间戳标记，通过最近时间匹配、缓存或插值实现多模态数据的时间对齐。

温度数据预处理：读取 MLX90640 原始红外数据及 EEPROM 校准参数，完成环境温度、增益、偏置、发射率等补偿，计算各像素目标温度；可采用定点化、分段近似或 LUT 等方法对部分计算进行硬件优化。

显示叠加：在 HDMI 画面上分区域显示——主区域视频画面、侧边温度热力图小窗、底部环境参数文字

I2C 多设备管理：使用 I2C 地址区分不同传感器，设计分时复用控制器

任务 2：多模态 AI 处理与感知决策

目标：在 FPGA 端实现轻量级 AI 推理和多模态融合决策。

要求：

RISC-V + FPGA AI 推理：在 Ti60 FPGA 内部署 RISC-V 软核，运行 TinyML 等轻量级 AI 推理框架，实现人体检测、姿态识别或其他视觉感知算法。鼓励利用 FPGA DSP、BRAM、并行逻辑及 RISC-V 自定义指令实现卷积、矩阵运算等关键算子的硬件加速，提高推理性能。运动分析：通过帧差法或光流法（Farneback 简化版），分析人体运动状态（静止/行走/跌倒/异常动作）

多模态融合决策：结合视觉检测结果（位置、动作）+ 红外温度数据（体温异常检测）+ 环境数据（温度/湿度异常），进行综合判断

事件检测与响应：实现以下场景之一，或自定义一个智能场景：

- 跌倒检测：人体姿态突变+长时间静止+温度正常（排除倒地物体），触发报警

• 智能空调控制：检测人员位置分布和体温，结合环境温度，输出空调控制建议（或驱动 GPIO 模拟控制）

• 入侵检测：非授权时段人体出现+体温正常（排除热源干扰），触发报警

本地报警与显示：检测到异常事件时，通过 LED 闪烁+蜂鸣器报警+HDMI 画面红色边框提示+显示事件类型和置信度

技术要点提示：

轻量级神经网络：建议使用定点量化（INT8），利用 DSP 做矩阵乘法加速。网络结构建议不超过 5 层卷积+2 层全连接，参数量控制在 100K 以内

多模态融合策略：加权投票法——视觉置信度 60% + 温度置信度 25% + 环境置信度 15%，综合得分超过阈值触发事件

帧差法运动检测：当前帧与背景帧差分，阈值分割后计算连通域面积和质心位移，判断运动类型

任务 3：系统优化与智能拓展

目标：提升系统智能化水平和实用性。

要求（至少实现 2 项）：

千兆以太网数据上报：通过 RGMII 接口将检测事件（类型、时间、位置、置信度、缩略图）上传到 PC 服务器

RISC-V 软核决策控制：在 FPGA 内运行 RISC-V 软核，负责复杂决策逻辑（如多目标跟踪、历史轨迹分析、预测）和协议处理

多目标跟踪：实现简单的多目标跟踪算法（如 IOU Tracker），同时跟踪场景中多个人体的运动轨迹

行为预测：基于运动轨迹和速度向量，预测人体下一步位置，提前做出响应

低功耗场景管理：无人时进入低功耗模式（降低摄像头帧率、关闭神经网络推理、保留温度监测）；检测到人体后自动恢复正常模式

Web 远程监控：RISC-V 软核运行轻量级 HTTP 服务器，支持浏览器查看实时画面、传感器数据、历史事件记录

语音播报：通过 SPI 接口连接语音模块，检测到异常事件时进行语音播报（如“检测到跌倒，请确认安全”）。

【赛题四】基于 FPGA 的实时图像边缘检测系统

【赛题背景】

图像边缘检测是数字图像处理领域最经典、最基础的技术之一，广泛应用于目标识别、工业检测、医学影像分析、自动驾驶等场景。传统基于软件（CPU）的边缘检测方案受限于串行处理架构，难以满足高分辨率、高帧率的实时性要求；而 FPGA 凭借其天然的并行处理能力，能够以流水线方式逐像素处理图像数据，实现"边采集、边处理、边显示"的实时效果。

本赛题要求参赛者基于易灵思 FPGA 开发板，搭建一个完整的实时图像处理系统：通过摄像头采集图像，在 FPGA 内部完成**灰度化**、**中值滤波**、**Sobel 边缘检测**等处理，最终通过 HDMI/VGA 接口将处理结果实时显示在显示器上。题目涵盖了 FPGA 开发的核心技能模块——外设驱动（摄像头、显示器）、数据流控制、数字图像处理算法硬件化，是一个综合性强但路径清晰的典型竞赛题目。

【任务说明】

参赛队伍需设计一个基于 FPGA 的实时图像边缘检测系统。系统通过 DVP 或 MIPI 接口接入摄像头，实时采集视频流数据；在 FPGA 内部完成彩色图像转灰度、中值滤波去噪、Sobel 算子边缘检测等处理；最后驱动 HDMI/VGA 显示器，将原始图像和处理后的边缘图像分屏或叠加显示。

整个系统要求实现**全流水线处理**——摄像头采集一行的同时，FPGA 对该行数据进行处理并输出显示，实现"零延迟"的实时效果。该设计思路与挑战杯获奖项目"基于 FPGA 的实时图像边缘检测与跟踪系统"的核心技术路线一致。

【基础要求】

本部分考察参赛者对 FPGA 外设驱动、数据流控制、基础图像处理算法的掌握能力。

1. 摄像头驱动与图像采集

- 分辨率要求：640×480 或以上
- 采集图像数据并存入**行缓存**（FIFO 或 Block RAM），为后续处理做准备

- 要求图像采集稳定，无丢帧、无错位

2. 彩色图像转灰度处理

- 要求使用 FPGA 内部的 **DSP 块**或移位加法实现乘法运算，避免使用除法器
- 灰度转换是边缘检测的前置步骤，在挑战杯获奖作品“实时卡通画生成器”中也有完整实现

3. Sobel 边缘检测算法实现

- 实现 3×3 Sobel 算子，计算水平方向梯度 Gx 和垂直方向梯度 Gy
- Sobel 算子卷积核：
  - Gx（x 方向梯度）：[-1, 0, +1; -2, 0, +2; -1, 0, +1]
  - Gy（y 方向梯度）：[-1, -2, -1; 0, 0, 0; +1, +2, +1]
- 梯度幅值近似计算：G = |Gx| + |Gy|（避免开方运算，节省硬件资源）
- 通过阈值比较输出二值化边缘图像（阈值可参数化配置）
- 需设计**行缓存模块**（Line Buffer）缓存 2 行数据，实现 3×3 窗口的滑动处理

4. HDMI 显示驱动

- 生成标准 HDMI 时序（最低要求：640×480@60Hz）
- 实现分屏显示：屏幕左侧/上半部分显示原始灰度图像，右侧/下半部分显示边缘检测结果
- 或实现画中画叠加显示
- 显示稳定，无闪烁、无撕裂

5. 基础验证

- 提交完整 RTL 源码（Verilog/VHDL）和约束文件
- 提供演示视频：摄像头对着简单几何图形（如黑白棋盘格、印有数字的纸张、人脸轮廓），展示边缘检测效果

【高阶挑战】

本部分为有余力的队伍提供拓展空间，算法复杂度与视频帧率也是考核维度。

1. 中值滤波去噪

- 在灰度化之后、边缘检测之前插入 **3×3 中值滤波**模块
- 实现 9 个像素值的排序，取中位数作为输出
- 有效抑制椒盐噪声，提升边缘检测质量
- 需合理设计排序网络（可采用并行比较网络，避免串行排序）

2. 实时阈值调节

- 通过板载按键或拨码开关，实时调整 Sobel 边缘检测的阈值
- 效果：按“+”键提高阈值（边缘减少），按“-”键降低阈值（边缘增多）
- 需设计按键消抖模块与阈值寄存器
- 该功能在现场演示时能直观展示阈值对边缘检测结果的影响

3. 帧缓存与 DDR 控制

- 将一帧完整图像写入外部 DDR 存储器，实现“采集-存储-读取-处理”分离
- 可实现回放、帧冻结、多帧对比等功能
- 需调用易灵思 Efinity 软件中的 **DDR 硬核控制器 IP**

4. Canny 边缘检测（算法升级）

- 实现更高级的 Canny 边缘检测算法（高斯滤波→梯度幅值和方向计算→非极大值抑制→双阈值分类 → 滞后边缘连接）
- Canny 相比 Sobel 能获得更精确、更连续的单像素边缘
- 但实现复杂度显著提升，需要更精细的流水线设计

5. 边缘叠加彩色输出

- 将检测到的边缘以彩色形式（如红色边缘线）叠加到原始彩色图像上输出
- 视觉效果更直观，适合现场展示
- 需要处理 RGB 三个通道的叠加逻辑

6. 简易目标识别（创意拓展）

- 在边缘检测的基础上，识别画面中的特定形状（如圆形、矩形）

- 可采用特征匹配法：在边缘图像中检测轮廓，计算几何特征
- 将识别结果显示在屏幕上（如“检测到圆形”）

【关键技术模块说明】

1. 行缓存（Line Buffer）设计

- Sobel 算子需要同时访问 3 行数据的同一列，因此需缓存 2 行数据
- 实现方式：用 2 个 FIFO 或 Block RAM，每行深度为图像宽度（如 640）
- 当前行数据 + 缓存行 1 + 缓存行 2，配合列计数器，生成 3×3 窗口
- 时序控制：每来一个像素，行缓存和窗口寄存器同步更新

2. Sobel 计算流水线设计

基础版计算流程：

第一级：计算 Gx 和 Gy 的部分和（窗口数据读取）

第二级：完成 Gx 和 Gy 的完整计算

第三级：计算梯度幅值 $G = |Gx| + |Gy|$

第四级：阈值比较，输出二值边缘

优化版可采用四级流水线，最高频率可达 220MHz。

3. 中值滤波排序网络（高阶挑战）

- 输入 9 个 8 位数据，输出中位数
- 排序策略：先对 3 行各自排序（各 3 个数据），再对列排序
- 典型实现：9 个数据 → 比较器网络 → 5 个时钟周期内输出中值

4. 全流水线处理

- 摄像头输出一个像素 → 灰度化 → （中值滤波） → Sobel → 显示输出
- 每个模块间用寄存器打拍，无反馈环路，保证每个时钟输出一个结果
- 理论上可实现“零延迟”实时处理

【给参赛者的技术提示】

1. 分模块调试策略

建议按以下顺序逐步调试，每步验证通过再进入下一步：

- ① HDMI/VGA 显示彩条（验证显示通路）
- ② 摄像头采集并直通显示（验证采集通路）
- ③ 加入灰度转换模块
- ④ 加入 Sobel 边缘检测模块
- ⑤ 逐步添加高阶挑战功能

这种模块化调试方法能大幅降低调试难度，避免“最后一刻才发现问题”。

2. Line Buffer 是核心难点

Sobel 需要 3×3 窗口，这意味着必须缓存 2 行数据。理解“滑动窗口”机制是关键：

- 用两个行缓存（Line Buffer）分别存储前一行和前两行数据
- 每来一个新像素，更新窗口寄存器的三行三列
- 建议先用仿真工具观察行缓存输出波形，确认窗口数据正确后再上板

参考网上的 Verilog 实现方案，基础版使用两个 line_buffer 即可构建 3×3 窗口。

3. 注意时序约束

- 摄像头像素时钟（如 25MHz @ 640×480）和 VGA 像素时钟（25MHz）可以同频，简化设计
- 如果不同频，需要异步 FIFO 做跨时钟域处理
- 优化版 Sobel 采用四级流水线，可将最大频率提升至 220MHz

4. 资源优化技巧

- 使用移位加法代替乘法：×2 可用{data, 1'b0}实现，×3 可用{data, 1'b0} + data 实现
- 梯度幅值用|Gx|+|Gy|代替 sqrt(Gx^2+Gy^2)，节省 DSP 资源且效果足够
- 阈值处理可滤除噪声，输出更干净的边缘

5. 阈值调节是“性价比”最高的加分项

只需在 Sobel 输出比较前增加一个可配置寄存器，用按键增减其值。这个功能在演示时可以“动态展示”边缘检测的灵敏度变化，效果直观且实现简单。

6. 备赛周期预估

- 对于有一定 Verilog 基础、完成过基础外设驱动的团队，完成基础要求约需 **3-4 周**（含调试）
- 完成部分高阶挑战（如中值滤波+阈值调节）约需 **5-6 周**
- 图像类题目演示效果直观，适合在决赛现场展示

7. 展示效果最大化

决赛现场建议对着以下物体进行演示，边缘检测效果会更明显：

- 黑白棋盘格或几何图形（边缘清晰）
- 印有大号数字/字母的纸张（便于观众理解）
- 人脸轮廓（互动性强，观众感兴趣）

【自由选题】基于易灵思 FPGA 的开放创新设计

【选题说明】

除以上固定赛题外，本届竞赛设置自由选题方向，鼓励参赛队伍结合自身专业背景、科研项目、创新实践、学科竞赛成果及已有作品，自主设计具有实际应用价值的 FPGA 创新系统。

参赛作品应基于易灵思 FPGA 平台完成设计与实现。已有项目可在原有成果基础上进行移植和二次开发，鼓励结合易灵思 FPGA 在并行计算、可编程逻辑、DSP 运算、片上存储、MIPI/LVDS 等高速接口、RISC-V 软核及低功耗设计方面的特点，对原系统的核心功能、数据通路或计算架构进行重新设计和优化。

自由选题不限定具体应用场景和算法，参赛队伍可结合实际需求自主确定作品主题。

【参考方向】

自由选题包括但不限于以下方向：

1. **机器视觉与图像处理**

面向工业视觉、智能摄像机、红外成像、智能检测等场景，开展图像采集、ISP 图像处理、目标检测、图像增强、图像分割、特征提取、多路视频处理等 FPGA 应用设计。

2. **边缘 AI 与智能感知**

结合 RISC-V 软核、TinyML、DSP 及 FPGA 可编程逻辑资源，实现图像、声音、传感器等数据的本地智能分析，可开展目标检测、分类识别、姿态识别、异常检测、语音或声音识别等应用设计。

3. **工业控制与智能装备**

面向工业自动化、运动控制、机器人、智能装备、状态监测等场景，发挥 FPGA 在确定性时序、并行处理和实时控制方面的特点，实现高速控制、传感器采集、设备状态分析、实时反馈等功能。

4. **多传感器数据采集与融合**

结合摄像头、红外、IMU、雷达、测距、温度、声音等一种或多种传感器，实现

高速数据采集、接口转换、同步处理、时间对齐、数据融合及实时输出，探索 FPGA 在多源异构数据处理中的应用。

5. **视频、音频与数字信号处理**

开展视频编解码前后处理、图像增强、超分辨率、图像缩放、滤波、音频预处理、频谱分析、数字滤波、FFT 等数字信号处理应用，体现 FPGA 流水线和并行计算能力。

6. **高速接口与数据处理**

围绕 MIPI、LVDS、以太网、SPI、UART、I2C 及其他数字接口，开展数据采集、协议转换、高速数据搬运、缓存管理、数据预处理和实时传输等系统设计。

7. **医疗电子与便携式智能设备**

面向便携式医疗设备、健康监测、智能穿戴、AR/智能眼镜、手持终端等场景，结合 FPGA 低功耗、小型化、实时处理等特点开展创新应用设计。

8. **其他 FPGA 创新应用**

鼓励参赛队伍结合本专业特点，将 FPGA 应用于通信、仪器仪表、电力电子、机器人、智能交通、物联网、科研仪器及其他新兴应用领域。对于具有明确应用价值和技术创新性的作品，不受上述方向限制。

【作品要求】

自由选题作品应具有完整、可演示的系统功能，并能够体现 FPGA 在作品中的核心作用。

参赛队伍应说明作品的系统架构、FPGA 功能模块、软硬件分工及关键技术实现。对于由既有项目迁移形成的作品，应重点说明原有实现方案、易灵思 FPGA 移植方案以及移植后在系统架构、实时性能、资源利用、功耗、接口集成或功能实现等方面所进行的改进。

作品中的 FPGA 部分应承担具有实际意义的核心功能，包括但不限于：

- 高速数据采集与接口处理；
- 图像、视频、音频或传感器数据的实时处理；
- 算法硬件加速；
- 自定义数据通路或流水线处理；

- RISC-V 软核与 FPGA 的软硬件协同；
- 自定义外设或 RISC-V 自定义指令；
- 多传感器同步与融合；
- 高速通信、协议转换及数据搬运；
- 实时控制及其他适合 FPGA 实现的核心功能。

仅将 FPGA 作为简单接口转接、GPIO 扩展或外围控制器，而主要功能由外部 MCU、CPU、GPU 或其他计算平台完成的作品，不作为本方向重点鼓励的设计。

【鼓励内容】

鼓励参赛队伍根据作品特点，对 FPGA 实现进行针对性优化，包括但不限于：

- 将原 CPU/MCU 软件算法改造为 FPGA 并行或流水线实现；
- 使用 DSP、BRAM、FIFO 等片上资源提高计算效率；
- 使用 RISC-V 软核构建软硬件协同系统；
- 利用自定义指令或硬件加速模块提升关键算法性能；
- 减少外部器件数量，提高系统集成度；
- 优化数据通路和存储访问，提高实时处理能力；
- 对系统资源占用、运行频率、处理延迟、吞吐率及功耗进行测试和分析；
- 结合实际应用需求完成小型化、低功耗或高可靠性设计。

自由选题重点考察参赛队伍能否结合实际应用需求，理解 FPGA 的技术特点，并通过合理的软硬件架构设计发挥 FPGA 在并行计算、实时处理、接口扩展及系统集成方面的优势。

四、开发板获取途径

【官方推荐采购渠道】

请扫淘宝店铺（娅妮电子）二维码：

五、技术支持与技术资源

竞赛期间，组委会与易灵思官方渠道将为参赛队伍提供以下技术支持与资源：

• 开发工具：Efinity® 集成开发环境，涵盖设计输入、综合、布局布线、时序分析与在线调试全流程，可通过官网免费申请下载：https://www.elitestek.com/efinity/

• 官方网站：易灵思官网（产品信息、公开文档、IDE 文档、示例和 IP Cores）：https://www.elitestek.com/

• 芯片资料：Ti60F225 芯片介绍、数据手册与相关文档：https://www.elitestek.com/product/gongju/taijinxiliexiangguan/576.html

• 软核与 IP 资源：QQ 群内提供 Sapphire™ RISC-V 软核 SoC、MIPI D-PHY RX / CSI-2 控制器、DDR 存储控制器、HDMI/VGA 显示等参考设计。

• 答疑支持：**竞赛技术交流 QQ 群：831548702**；开发板采购与硬件问题请咨询官方推荐渠道（见“四、开发板获取途径”）。

建议参赛队伍尽早搭建开发环境并完成基础 Demo 验证，为作品开发预留充足时间。